

## MEMORY DEVICE

Publication number: JP2003323352

Publication date: 2003-11-14

Inventor: IGUCHI SHINYA; MARUYAMA JUNICHI; NAKAMURA TAKESHI; KOSAKAI KENJI; TSUNODA MOTOYASU

Applicant: HITACHI LTD

Classification:

- international: G06F12/16; G11C16/02; G11C16/06; G11C29/00; G11C29/04; G06F12/16; G11C16/02; G11C16/06; G11C29/00; G11C29/04; (IPC1-7): G06F12/16; G11C16/02; G11C16/06; G11C29/00

- european:

Application number: JP20020194084 20020703

Priority number(s): JP20020194084 20020703; JP20020048943 20020226

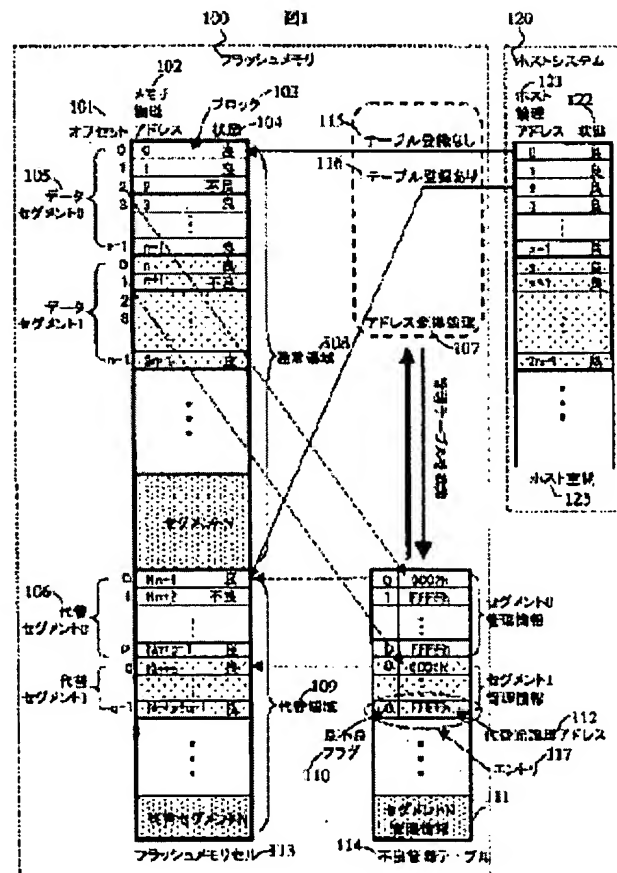
Report a data error here

### Abstract of JP2003323352

**PROBLEM TO BE SOLVED:** To realize an efficient and quick defect substitution method in a nonvolatile memory and a volatile memory including a defective area.

**SOLUTION:** The nonvolatile or volatile memory, which mounts thereon a memory cell for recording values, a function of recording and managing a defect status included in the memory cell, and a function of interfacing the function with a host system, has a means for partitioning the memory cell into a plurality of areas and managing defects separately in each area, a means for referring to the management information to access a substitute for a defective area upon access by the host system, and a means for using the means to make the memory cell including defects apparently indefectible to the host system.

COPYRIGHT: (C)2004,JPO



Data supplied from the esp@cenet database - Worldwide

(19) 日本国特許庁 (J P)

(12) 公開特許公報 (A)

(11) 特許出願公開番号  
特開2003-323352  
(P2003-323352A)

(43) 公開日 平成15年11月14日 (2003. 11. 14)

(51) Int.Cl. <sup>7</sup>	識別記号	F I	テーマコード(参考)
G 0 6 F 12/16	3 1 0	G 0 6 F 12/16	3 1 0 Q 5 B 0 1 8 3 1 0 A 5 B 0 2 5
G 1 1 C 16/02		G 1 1 C 29/00	6 0 1 C 5 L 1 0 6
16/06		17/00	6 0 1 E
29/00	6 0 1		6 3 9 Z

審査請求 未請求 請求項の数15 O L (全 12 頁)

(21) 出願番号 特願2002-194084(P2002-194084)  
(22) 出願日 平成14年7月3日(2002.7.3)  
(31) 優先権主張番号 特願2002-48943(P2002-48943)  
(32) 優先日 平成14年2月26日(2002.2.26)  
(33) 優先権主張国 日本(J P)

(71) 出願人 000005108  
株式会社日立製作所  
東京都千代田区神田駿河台四丁目6番地  
(72) 発明者 井口 慎也  
神奈川県川崎市麻生区王禅寺1099番地 株  
式会社日立製作所システム開発研究所内  
(72) 発明者 丸山 純一  
神奈川県川崎市麻生区王禅寺1099番地 株  
式会社日立製作所システム開発研究所内  
(74) 代理人 100075096  
弁理士 作田 康夫

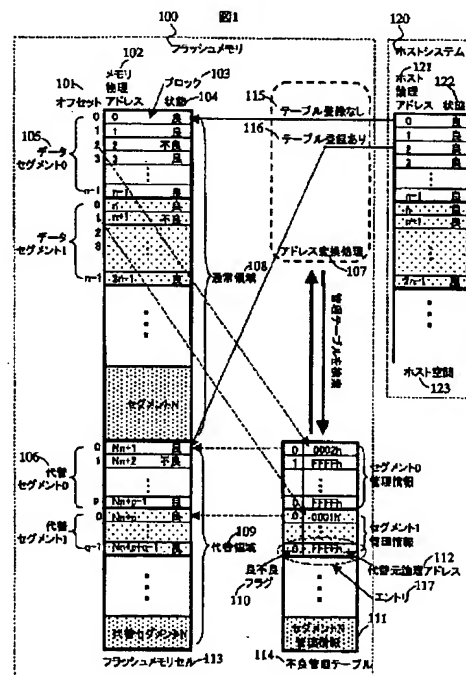
最終頁に続く

(54) 【発明の名称】 メモリ装置

(57) 【要約】

【課題】不良領域を含む不揮発性メモリ及び揮発性メモリにおいて、効率的かつ高速な不良代替方式の実現を目的とする。

【解決手段】値を記録するメモリセルと、そのメモリセルに含まれる不良状況を記録管理する機能と、ホストシステムとのそれらの機能のインタフェースを行う機能を搭載する不揮発性或いは揮発性メモリにおいて、メモリセルを複数の領域に分割し、それぞれの領域に対して個別に不良管理を行う手段と、ホストシステムがアクセスした場合に、管理情報を参照して不良領域へのアクセスを代替する手段と、これらの手段を用いることで不良を含むメモリセルをホストシステムから見かけ上、不良が存在しないように見せる手段とを設ける。



## 【特許請求の範囲】

【請求項1】情報を特定の単位でアクセスすることが可能な、不良領域を含む不揮発性或いは揮発性の記録部と、前記記録部を制御する記録部制御回路と、前記記録部と送受信するデータを一時的に記録するバッファメモリと、前記記録部内の前記不良領域を管理するための情報を保存する揮発性メモリと、前記揮発性メモリの情報を処理する不良管理回路と、ホストシステムからのアクセスを処理し、前記記録部制御回路と前記不良管理回路に動作指示を出すインタフェース制御回路を有するメモリ装置において、

前記記録部を仮想的に複数の領域に分割して個別に管理する手段と、  
分割単位ごとにその領域内に含まれる不良領域と、今後発生する可能性のある不良領域を置き換えるための代替領域を確保し管理する手段と、  
不良領域へ前記ホストシステムがアクセスしたときに、前記代替領域をアクセスさせるためにアクセス先を変換する手段とを有するメモリ装置。

【請求項2】請求項1に記載のメモリ装置において、複数の領域に分割された各領域の先頭からの位置aが等しいそれぞれの領域内の個々のデータブロックを、位置aごとまとめて管理するための管理情報と、個々のデータブロックへ消去書込の度に記録される消去書込回数とを用いて、領域m内の位置aにある特定のデータブロックの消去書込回数が一定の値に達すると、位置aに対応する前期管理情報の値nを変化させ、その管理情報に基づき、領域mの位置aのデータブロックへ書込む内容を、領域n+mの位置aにあるデータブロックへ記録する手段を有するメモリ装置。

【請求項3】請求項2に記載のメモリ装置において、領域mの位置aのデータブロックの内容の読み出しを行う際、位置aの管理情報の値nを用いて、領域n+mの位置aのデータブロックの内容を読み出す手段を有するメモリ装置。

【請求項4】請求項1に記載のメモリ装置において、前記記録部が複数種類の不良特性を持ち、それぞれの不良特性に応じた回路で順次代替処理を行う手段を有するメモリ装置。

【請求項5】請求項1に記載のメモリ装置において、前記不良管理回路が、プログラマブルシーケンサとシーケンスを記録したROMで構成され、前記ROMを入れ替えることで、シーケンスコードを変更することが可能であるメモリ装置。

【請求項6】請求項1に記載のメモリ装置において、前記不良管理回路がプログラマブルシーケンサとシーケンスを保持するRAMで構成され、起動時に前記記録部からシーケンスコードを読み出しシーケンスRAMへ保存し、前記シーケンスコードをシーケンサが実行する手段を有することで、前記シーケンスコード

を変更することが可能であるメモリ装置。

【請求項7】請求項5または請求項6に記載のメモリ装置において、

前記記録部が複数種類の不良特性を持ち、そのうち特定種類のみプログラマブルシーケンサで処理を行い、その他の不良特性を専用回路で処理するメモリ装置。

【請求項8】データを記憶するためのデータ領域と前記データ領域を代替するための代替領域とを含む不揮発性又は揮発性のメモリセル部と、前記メモリセル部を管理するための管理部とを備えたメモリ装置において、前記代替領域は、前記管理部又は前記データの読み出し若しくは書き込みを要求するホストシステムのアクセス単位を複数個まとめたセグメント単位で、前記データ領域を代替するメモリ装置。

【請求項9】前記アクセス単位は、前記データの消去単位と前記ホストシステムからの読み出し要求単位と前記ホストシステムからの書き込み要求単位の少なくとも1つである請求項8に記載のメモリ装置。

【請求項10】前記アクセス単位は、複数のセクタを含むブロックである請求項8に記載のメモリ装置。

【請求項11】前記メモリセル部は、前記セグメント単位で前記データ領域と前記代替領域との対応関係を記憶するための管理情報領域を含む請求項8に記載のメモリ装置。

【請求項12】前記管理部は、当該メモリ装置の起動時に、他の揮発性メモリに、前記セグメント単位で前記データ領域と前記代替領域との対応関係を管理情報を生成する請求項8に記載のメモリ装置。

【請求項13】前記管理部は、前記ホストシステムからの要求に応じて、前記管理情報を用いて前記データ領域をアクセスするか又は前記代替領域をアクセスするかを判断する請求項12に記載のメモリ装置。

【請求項14】前記管理部は、前記管理情報を用いて、前記ホストシステムからのアクセスアドレスを、前記メモリセル部の物理アドレスへ変換する請求項12に記載のメモリ装置。

【請求項15】前記管理部は、前記データ領域の前記セグメント内の一部又は全部の不良を検出した場合又は前記データ領域から読み出された前記データの不良を検出した場合に、前記セグメント単位で前記管理情報を更新する請求項12に記載のメモリ装置。

## 【発明の詳細な説明】

## 【0001】

【発明の属する技術分野】本発明は不良領域を含む揮発性或いは不揮発性記録部を使用したメモリにおいて、信頼性が高くかつ高速で安価なメモリシステムの構築に関する。

## 【0002】

【従来の技術】メモリ装置において、内部のメモリセルへのアクセス単位が複数バイトを一まとめとしたブロッ

ク単位でアクセス可能でかつ不良ブロックを含む場合、それらを管理するために、特開2000-11677号公報に記載のように、メモリ内に通常領域と、その領域に含まれる不良領域を代替するためのスベア領域を設け、スベア領域上の各ブロックと、それが代替しているデータ領域上の不良ブロックの対応付けを管理する不良管理情報を構成する。これによって、データ領域にアクセスした場合、不良管理情報を参照し、アクセスアドレスが不良ブロックか判定を行い、不良ブロックの場合は、対応するスベア領域上のブロックをアクセスすることで、不良代替を行う。

【0003】また、特開平6-124596号公報に記載のように、データ領域上の各ブロックに物理アドレスと論理アドレスを割り当て、その対応付けを行う管理情報を用意する。そして、ホストがデータの書き込みを行う論理アドレスを指定すると、新規に消去状態のブロックへデータを記録しこの物理アドレスと論理アドレスを対応付ける。以前にこの論理アドレスに割り当てられていた物理アドレスに対応するブロック内の古いデータは消去する。

【0004】

【発明が解決しようとする課題】上記従来技術では、通常領域のアクセス時、毎回スベア領域との対応付け情報をすべて参照する必要があり、また、通常領域全域の不良ブロックを一括してスベア領域に代替するため、例えば通常領域が巨大な場合、スベア領域も巨大になり、対応付け情報も膨大になる。このため、不良検索に時間がかかる。

【0005】さらに上記従来技術では、不良ブロックが通常領域内に局所集中的に発生した場合でも、通常領域のアクセス時、スベア領域との対応付け情報をすべて参照する必要があるため、局所集中的な不良発生が通常領域全域のアクセス時間に影響を及ぼす。さらに上記従来技術では、データの消去書き込み回数を分散するために、全データブロックにおける物理アドレスと論理アドレスの対応付け情報が必要になるため、テーブル検索時間と管理情報が膨大になる。このためアクセス時間が遅くなり、大きな管理領域が必要になる。

【0006】本発明の目的は、通常領域と代替領域が巨大になり、管理情報量が增大しても、通常領域に対するアクセス時間の低下を抑制可能なメモリ装置を提供する。

【0007】本発明の別の目的は、通常領域内に局所集中的に不良ブロックが発生しても、その付近以外の通常領域のアクセス速度に影響を与えない高速で効率的なメモリ装置を提供する。

【0008】本発明の別の目的は、データの消去書き込み回数を分散するための管理情報を削減し、アクセス時の管理情報検索時間を削減することで、効率的に書き込みを行うことが可能なメモリ装置を提供する。

【0009】

【課題を解決するための手段】本発明の目的を達成するために、不良ブロックを含むメモリ装置において、メモリ上の通常領域と代替領域のアクセス単位であるブロックを複数個一まとめにしたセグメントを構成し、通常領域のセグメントとスベア領域のセグメントを各々一対一に対応させ管理する手段と、セグメント全域に不良が発生した場合は、代替セグメントをスベア領域に設け、セグメントごと代替セグメントへ代替する手段とを設けた。

【0010】本発明の別の目的を達成するために、各セグメントの先頭からのオフセット値aが等しい各セグメントのそれぞれのデータブロックをまとめて管理するための管理情報と、個々のデータブロックへ消去書き込みに記録される消去書き込回数とを用いて、セグメントm内のオフセットaにある特定のデータブロックの消去書き込回数が閾値に達すると、オフセットaに対応する前期管理情報の値nを変化させ、その管理情報に基づき、セグメントmのオフセットaのデータブロックへ書き込む内容を、セグメントn+mのオフセットaにあるデータブロックへ記録する手段と、セグメントmのオフセットaのデータブロックの内容の読み出しを行う際、オフセットaの管理情報の値nを用いて、セグメントn+mのオフセットaのデータブロックの内容を読み出す手段とを設けた。

【0011】

【発明の実施の形態】以下、本発明の実施形態について説明する。

【0012】図1は、本発明の不良代替処理の概念説明図である。フラッシュメモリ100は本発明を適用するフラッシュメモリのデータ構成を示す。また、ホストシステム120はフラッシュメモリ100へアクセスする装置を示す。フラッシュメモリ100は、図示の様に、フラッシュメモリセル113へデータを保持する。このフラッシュメモリセル113は、通常、複数バイトを一まとめにしたブロックという単位で消去、書き込み、読み出しが行われる。ブロックには、正常に使用可能な良ブロックと、製造時の不具合等により不良化した不良ブロックが存在する。本発明では、フラッシュメモリセル113を通常領域108と代替領域109の2種類の領域に分けて管理する。通常領域は、ホストシステムのデータを保存する。また、代替領域は通常領域内の不良ブロックを置き換えるために使用する。それぞれの領域において、ブロックをn個合わせたものをセグメントと定義し、各領域が複数のセグメントから構成されているとして扱う。

【0013】メモリ物理アドレス102は、フラッシュメモリセル113の先頭から順次ブロックに割り当てられるアドレスである。オフセット101は各セグメントの先頭を0として割り当てられるアドレスで、各セグメントの先頭からのオフセット値を示す。

【0014】通常領域108のデータセグメントと代替領域109の代替セグメントは一対一に対応する。すなわち、データセグメント $n$ と代替セグメント $n$ が対応する。この対応付け情報は不良管理テーブル114へ保存される。

【0015】不良管理テーブル114は、セグメントごとの対応付け情報を保持する。すなわちデータセグメント $n$ と代替セグメント $n$ の対応付け情報は、セグメント $n$ 管理情報111として不良管理テーブル114へ保持される。

【0016】セグメント管理情報内のエントリ117は、対応する代替セグメント内の各ブロックの状態を示す。例えば、先頭エントリは、代替セグメント内の先頭ブロックの状態を示す。エントリを構成する情報について説明する。良不良フラグ110は対応する代替セグメントが良ブロックか不良ブロックかを示す。代替元論理アドレス112は、このエントリに対応するブロックが代替する、通常領域内のブロックのオフセットを示す。例えば、代替セグメント0の先頭ブロックは、データセグメント0内のオフセット2の不良ブロックを代替するため、不良管理テーブル114内のセグメント0管理情報の先頭エントリの代替元論理アドレスに0002hが記録される。通常、オフセット101はメモリ物理アドレスと比較して、アドレス空間が小さいため、代替元論理アドレス情報は小さくなる。尚、代替処理とは、不良化した領域に対応する正常領域を用意しておき、不良領域の変わりにアクセスするようにすることで、正常なアクセスを保証する処理を示す。

【0017】上記構成のフラッシュメモリ100は、アドレス変換処理107を介して、ホストシステム120へホスト空間123を提供する。この空間においてホスト論理アドレス121は、フラッシュメモリ100内のメモリ物理アドレス102と対応するが、アドレス変換処理107により、不良ブロックが代替されるため、ホスト空間123では全領域が良ブロックで構成される。

【0018】図2はこのアドレス変換処理107の流れを示すフローチャートである。

【0019】ホストシステム120がフラッシュメモリ100へ、アクセス対象ホスト論理アドレスを送信する(ステップ201)。フラッシュメモリ100はホスト論理アドレスに対応する通常領域内のデータセグメントとオフセット値を計算する(ステップ202)。この方法として例えば、ホスト論理アドレスがメモリ物理アドレスと一対一に対応しているため、メモリ物理アドレスとデータセグメント及びオフセットの関係を利用する方法が考えられる。次に、不良管理テーブルを参照し対象データセグメントのセグメント管理情報内から、アクセスするオフセットが代替登録されていないか検索する(ステップ203、ステップ204)。代替登録されている場合は、対応する代替セグメント内の対応ブロックを指定する(ス

テップ206)。登録されていない場合は、データセグメント内の対応ブロックを指定する(ステップ205)フラッシュメモリ100が指定したブロックに対してホストシステム120がアクセスを行う(207)。以上の処理を行うことで、ホストシステム120は、フラッシュメモリ100を擬似的に不良ブロックが一切含まれないメモリとしてアクセスすることが可能になる。

【0020】本発明では、上記不良代替処理に加え、ホストシステム120からの消去書き込みを分散するための手段を設けている。以下これについて説明する。図3はこの方式概念の説明図である。

【0021】データセグメントの各ブロックに、消去書き込みが行われた回数を記録する。そしてウェアレベリング管理テーブル302を用意する。このテーブルは不良代替後のフラッシュメモリ空間であるフラッシュメモリ論理空間300において、データセグメントの同一オフセットごとにセグメントシフト数というデータを管理する。このデータは、あるセグメントのオフセットに対応すべきデータが、異なるセグメントの同一オフセットに存在する場合、そのセグメント数の差分を記録する。すなわち、セグメント $N$ のオフセット $n$ にあるべきデータが、セグメント $N+M$ のオフセット $n$ に存在する場合、セグメントシフト数は $M$ になる。また、この値は、全セグメントの同一オフセットに対応するため、例えば、オフセット $n$ のセグメントシフト数が1の場合、全セグメントのオフセット $n$ の値が1セグメント分ずれていることを示す。

【0022】以下、これらの情報を利用した消去書き込み分散について説明する。

【0023】図3のステップ1は、ホストシステム120がフラッシュメモリ100へ消去書き込みを行う前の状態である。ホストシステム120がデータセグメント1のオフセット1のデータBの更新をフラッシュメモリ100へ指示するとデータBの書き込み回数が1増加する。このとき、データBの書き込み回数が書き込み分散処理を起動する閾値 $m$ に達すると、フラッシュメモリ100は、ウェアレベリング管理テーブル302内のセグメントシフト数304の値を更新する。この値の更新方法としては、単に1を加える方法、全セグメントの同一オフセット内で一番書き込み回数が少ないブロックへデータBのデータが格納されるようにオフセット値を計算する方法などが考えられる。本例では、現在の値に1を加えた場合を示している。この結果、ステップ3に示すように、全セグメントのオフセット1に存在するデータが全て1セグメント分後方にシフトされて記録し直される。この結果、データBの更新が集中しても、内部的には複数のブロックに対して分散して書き込まれるため、消去書き込みの分散処理を実現できる。また、全セグメントの同一オフセットに対して、1つのセグメントシフト数を用意すればよい。また、ウェアレベリング管理テーブル302サイ

ズを削減することが可能になる。

【0024】図4は、本発明を適用した不揮発性メモリ400の内部構成の一例を示している。当該メモリ装置401は、ホストシステム440とホストI/F441を介して接続される。ホストI/F441はI/F切り替え信号437によって切り替えることが可能である。ホストI/F441の例としては、NAND形/AND形フラッシュメモリI/F、SRAM I/F SDRAM I/Fが考えられる。

【0025】不揮発性メモリ400は、ホストシステム440とのI/Fを切り替えるI/F切り替え部437、ホストシステム440との間でI/F制御を行うI/F制御部430、情報の記録を行うメモリセル部401、メモリセル部401内の不良ブロック管理を行う管理部410から構成される。尚、管理部410はメモリセル部401の分散書き込み処理などの制御を行う場合もある。

【0026】I/F制御部420とメモリセル部401はAND I/F-1 431、およびAND I/F-2 432で接続されている。ここでAND I/FはAND形フラッシュメモリ制御用I/F仕様のことを示す。尚、このI/FはNAND形フラッシュメモリ制御用I/F等、その他のI/Fを適用することも可能である。

【0027】メモリセル部401はホストシステム440から直接AND I/F-1 431を介して制御することも可能である。

【0028】管理部410はI/F制御部430と専用I/F 435で接続されている。また、メモリセル部401をAND I/F-3 433を介して制御可能な上、メモリセル部401のバッファ405上のデータをSRAM I/F 434を介して直接アクセスすることも可能である。

【0029】制御部403は、さらに不揮発性記録媒体であるフラッシュメモリセル402、フラッシュメモリへ書き込むデータを一時的に記録するSRAMで構成されたバッファ405、AND I/F 407を介した外部回路からの指示により、バッファ405とフラッシュメモリセル402を制御する制御部403、制御部403への制御信号を切り替える切り替え部404から構成される。

【0030】図5は、管理部410の構成の一例を示している。

【0031】ECC(Error correcting code; エラー訂正符号)506はメモリセル部401へデータ書き込む際にはECCを生成して付加し、データを読み出す場合にはECC計算を行い、エラー検出訂正を行うことで、データの信頼性を高めるために使用される。

【0032】I/Fレジスタ505はI/F制御部420との間で情報を送受信するために使用される。

【0033】プログラマブルシーケンサ500は管理部410内の各回路を制御し代替処理などのシーケンス処理を実行する。

【0034】シーケンスROM501は、プログラマブルシーケンサ500が実行するシーケンスコードを記録す

る。ここに記録されるシーケンスコードを変更することで様々な処理を追加、変更することが可能である。また、シーケンスROM501の変わりに、シーケンスRAMを搭載し、不揮発性メモリ400起動時にメモリセル部からシーケンスコードを読み込み可能にすることで、不揮発性メモリが製造された後も、フラッシュメモリセル402に記録されているシーケンスコードに改変を加えることが可能になる。

【0035】Work RAM502は、プログラマブルシーケンサ500が一時的に値を保存したり、メモリセル部401管理用の管理データを保持するために使用される。

【0036】制御レジスタ群503は前述処理に特化された制御用レジスタ群が格納される。これはプログラマブルシーケンサ500が動作中に使用する。

【0037】図6は、不揮発性メモリ400のアドレス構成を示す。

【0038】不揮発性メモリ400最下位アドレスを「0000」、ホストシステム440がアクセス可能な上限値をHMAX602と定義する、この領域は前述の通常領域108に対応する。この領域は複数の同一の大きさを持つデータセグメントから構成される。不揮発性メモリ400の最上アドレスをFMAX603と定義する。HMAX602からFMAX603の間を管理領域601と定義する。管理領域601はさらに3種の領域に分割される。代替領域612は、複数の代替セグメントから構成される。各代替セグメントサイズは、データセグメントに含まれる不良ブロック数及び発生が予測される不良ブロック数に最適化された大きさになるため、各代替セグメントごとにサイズは異なる。この領域は、全データセグメントに共通で使用する。管理テーブル領域613は、前述の不良管理テーブル114及びウェアレベリング管理テーブル302を保持する領域である。

【0039】図7は管理テーブルの構成例を示している。

【0040】管理テーブル701は、不良管理テーブル701とウェアレベリング管理テーブル706から構成される。不良管理テーブル701は、図1で示した不良管理情報を格納する。セグメントスワップ情報702は、セグメント内の全てのブロックが不良化した場合に、其のセグメント自体を別のセグメントで代替する場合の情報を格納するために使用される。これは、下記情報から構成される。不良セグメントアドレス709:不良化したセグメントの番号を記録する。代替先セグメントアドレス710:このセグメントを代替するセグメントの番号を記録する。

【0041】代替セグメントオフセット711と代替セグメント情報715は、代替セグメントの情報を管理する。代替セグメントのサイズは対応するセグメントの不良ブロック数に応じて代替セグメントごとに可変長になるため、管理データ自体も可変長になる。したがって、

代替セグメントオフセット情報711で代替セグメント情報715上のセグメント毎の不良管理データの先頭位置を示し、エントリ数714でセグメント内に含まれる不良代替用ブロック数を示す。このエントリ数714は、前述のセグメント毎の不良ブロック数計算手段を用いて計算された値を使用する。不良管理データ自体は、代替セグメント情報715内に置かれ、各セグメントに対応するデータは、先頭に管理アドレス空間上のこのセグメントに対応する代替セグメントの先頭アドレス716、その後には、代替セグメントに含まれるブロックの属性がエントリ717として記録される。例えば、代替セグメントの先頭ブロックの情報はエントリ0に記録される。エントリの内容としては、例えば、代替セグメントの先頭からのオフセット値、このブロック自体が正常か不良かの判定フラグなどが考えられる。

【0042】ウェアレベリング管理情報718は、ウェアレベリング管理テーブルに保存される。この情報は、全データセグメントのオフセットごとの前述のセグメントシフト数を記録する。

【0043】以上で述べた構成を用いた不揮発性メモリ400の基本動作の一例を説明する。

【0044】図8は、不揮発性メモリ400起動時の動作例を示すフローチャートである。

【0045】電源が挿入されると各回路が初期化される(ステップ801)。初期化が完了するとI/F制御部420が初期化コマンドを管理回路410内のプログラマブルシーケンサ500に発行する(ステップ802)。プログラマブルシーケンサ500は、管理部410内の設定情報を初期化し、初期管理テーブル読み込み位置を設定する(ステップ803)。初期化処理が終了すると、プログラマブルシーケンサ500は、管理テーブル読込コマンドをメモリセル部401に発行する(ステップ805)。メモリセル部402はフラッシュメモリセル401よりデータ読み出しを行う(ステップ806)。その後、メモリセル部401と管理部410のプログラマブルシーケンサ500は管理テーブル情報を管理部410内のWorkRAM502へ転送する(ステップ807)。プログラマブルシーケンサ500は、管理テーブル情報を検査し(ステップ808)、このテーブルが使用可能なら処理を終了する。もし、管理テーブル情報が不良なら、次のアクセスアドレスを設定して、管理テーブル読込以下の手順を繰り返す(ステップ804)。

【0046】図9は、不揮発性メモリ400からのデータリード時の動作例を示すフローチャートである。ホストシステム440がリードコマンドを不揮発性メモリ400へ発行すると、I/F制御部420がコマンドを受ける(ステップ900)。同様にホストシステム440がリードアドレスSAを不揮発性メモリ400へ発行する(ステップ901)。I/F制御部420はリードアドレスSAを受け取ると、リードコマンドとリードアドレスS

Aを管理部410のプログラマブルシーケンサ400へ発行する(ステップ902、ステップ903)。リードコマンドを受け取った管理部500はリードアドレスSAからセグメント番号とオフセット値を抽出した後、ウェアレベリング処理を行いアクセス先アドレスを計算する(ステップ904)。続いて、管理テーブル700から対応するセグメント情報を選択する(ステップ905)。この後、代替セグメント情報715と先に計算したオフセット値を比較し、不良ブロック検索を行う(ステップ906)。比較の結果、SAが不良ブロックを示していれば、対応する代替アドレスをSA'にセットする(ステップ907)。もし正常ブロックを示していれば、SAをSA'に代入する(ステップ908)。管理部410は、リードコマンドをメモリセル部110に発行し(ステップ909)、続いてSA'をメモリセル部401へ発行する(ステップ910)。メモリセル部401はSA'をアクセスアドレスとしてフラッシュメモリセル401からデータ読出を行う(ステップ911)。データリードが完了すると、メモリセル部401は、データリード完了をI/F制御部420へ通知する(ステップ912)。この方法としては、例えばメモリセル部401がレディビジー信号を出力し、処理中はビジーを通知し、処理が終了すればレディを通知する方法が考えられる。続いて、I/F制御部420はメモリセル部110からデータリードを行い(ステップ913)、そのままホストシステム440へデータ転送を行う(ステップ914)。

【0047】ホストシステム440と不揮発性メモリ401のアクセス調停について、もし不揮発性メモリ401へデータリードコマンドを発行してから、データ転送を開始するまでの間が一定時間なら、ホストシステム440はその待ち時間をカウンタなどでカウントすることが可能である。もし可変なら、レディビジー信号を不揮発性メモリ40が出力しホストシステム440がその信号をモニタリングする方法等が考えられる。

【0048】図10は、不揮発性メモリ400へのデータライト時の動作例を示すフローチャートである。

【0049】ホストシステム440がライトコマンドを不揮発性メモリ400へ発行すると、I/F制御部420がコマンドを受ける(ステップ1000)。同様にホストシステム406がライトアドレスSAを不揮発性メモリ400へ発行する(ステップ1001)。続いてホストシステム440はライトデータを不揮発性メモリ400へ転送する(ステップ1002)。このデータはI/F制御部420を介してメモリセル部401へ送信されメモリセル部401内のバッファへ保存される(ステップ1003)。ホストシステム440からのデータ転送が終了すると、I/F制御部420はライトコマンドとライトアドレスSAを管理部410へ発行する(ステップ1004、ステップ1005)。ライトコマンドを受け取った管理部410は、ライトアドレスSAからセグメント番



号とオフセット値を計算した後、管理テーブル700から対応するセグメント情報を選択する(ステップ1006)。この後、セグメント情報と内部アドレスのオフセット値を比較し不良ブロック検索を行う(ステップ1007)。比較の結果、SAが不良ブロックを示していれば、対応する代替アドレスをSA'にセットする(ステップ1010)。もし正常ブロックを示していれば、SAをSA'とする(ステップ1009)。管理部410は、SA'をメモリセル部110へ発行する(ステップ1011)。続いて管理部410は、ライトコマンドをメモリセル部401に発行する(ステップ1012)。ライトコマンドを受け取ったメモリセル部401はSA'をライトアドレスとして、フラッシュメモリセル401へ、バッファに保持されているホストシステム440から転送されたライトデータの書き込みを行う(ステップ1013)。もし、ライトエラーが発生すると、メモリセル部401は管理部410へエラー報告を行い(ステップ1015)、管理部410は、このライトアドレスが示すブロックSA'を不良ブロックとして管理テーブルに登録する(ステップ1014)。そして、管理テーブルを管理領域に保存し(ステップ1016)、次に書き込むべきアドレスを計算してデータライト処理を再実行する。このとき、通常、書き込むべき次のアドレスは、ライトエラーが発生したアドレスの次を使用するが、何らかの予測手段を用いて算出を行ってもかまわない。

【0050】メモリセル部401がデータライト実行後(ステップ1017)。正常終了した場合は、I/F制御部420を介してホストシステム440へライト完了を通知する(ステップ1017、ステップ1018)。ホストシステム440への通知方法としては、例えば、ステータスを送信する方法等がある。またライトコマンドを不揮発性メモリ400へ発行してから、ライト完了の通知が戻ってくるまでの間のホストシステム440と不揮発性メモリ400との間での待ち制御方法として、前述同様、レディビジー信号を不揮発性メモリ400が出力し、ホストシステム440がその信号をモニタリングする方法が考えられる。

【0051】なお、本発明で示した不揮発性メモリ400は一例であり、不良を含む揮発性メモリの代替処理方式としても本方式を適用することが可能である。この場合は、管理情報のみ別途外部から起動時に管理部410へ読み込むか、管理情報用の不揮発性メモリを搭載することで対応することが可能になる。また、不揮発性メモリ400として半導体メモリだけでなく、例えば磁気ディスクなどにおいても、本方式を適用することが可能である。また、本発明で示した構成は、揮発性或いは不揮発性メモリと、それを制御するコントローラを一つのパッケージにした製品にも適用可能である。

【0052】

【発明の効果】本発明によれば、メモリを複数領域に分

けて領域ごとの特性を管理するため、大容量で不良領域を含むメモリの不良管理を小容量の管理情報で効率よく管理することが可能になる。

【0053】また、アクセス時に行うアクセスアドレスと、不良アドレスの検索比較処理の時間を、短縮することが可能になる。

【0054】また、局所集中的な不良が発生した場合も、その不良を含む領域以外の領域に対するアクセスを行う場合、アクセスアドレスの不良、正常判定に必要な時間を削減できる。さらに、書き込み回数をブロックごとに管理し、局所集中的な消去書き込みを分散させる機能を少量の管理データで実現することが可能となる。

【図面の簡単な説明】

【図1】本発明の概念説明図である。

【図2】本発明の処理の流れを示すフローチャート図である。

【図3】本発明の概念説明図である。

【図4】本発明を適用した不揮発性メモリ構成例を示す図である。

【図5】本発明を適用した不揮発性メモリ構成例を示す図である。

【図6】本発明を適用した不揮発性メモリのメモリマップの一例を示す図である。

【図7】本発明を適用した不揮発性メモリの管理テーブルの構成例を示す図である。

【図8】本発明を適用した不揮発性メモリの初期起動時の動作例を示す図である。

【図9】本発明を適用した不揮発性メモリのデータリード時の動作例を示す図である。

【図10】本発明を適用した不揮発性メモリのデータライト時の動作例を示す図である。

【符号の説明】

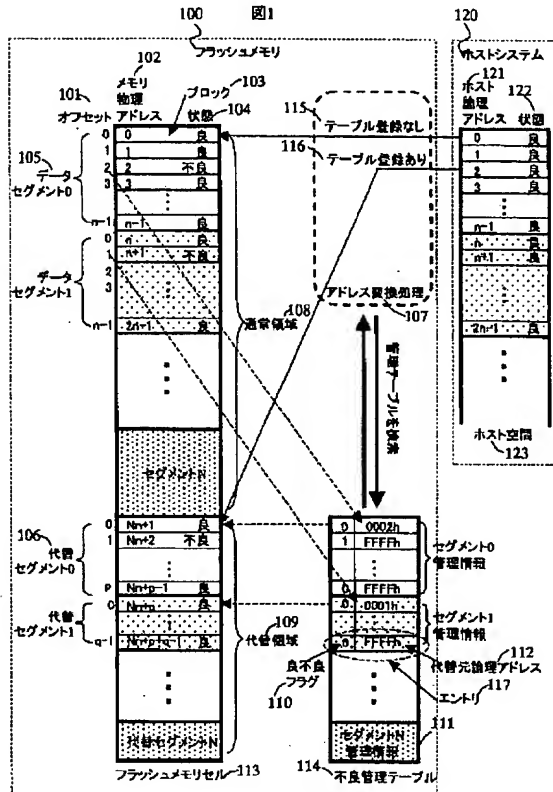
100…フラッシュメモリ、101…オフセット、102…メモリ物理アドレス、103…ブロック、104…ブロックの状態、105…データセグメント、106…代替セグメント、107…アドレス変換処理、108…通常領域、109…代替領域、110…不良フラグ、111…セグメントN管理情報、112…代替元論理アドレス、113…フラッシュメモリセル、114…不良管理テーブル、117…登録エントリ、120…ホストシステム、121…ホスト論理アドレス、122…ブロックの状態、123…ホスト空間、300…フラッシュメモリ論理空間、301…書換回数、302…SRウェアレベリング管理テーブル、303…オフセット値、304…セグメントシフト数、400…不揮発性メモリ、401…メモリセル部、402…フラッシュメモリセル、403…制御部、404…切替部、405…バッファ、406…SRAM I/F-3、407…AND I/F、408…SRAM I/F-2、410…管理部、420…I/F制御部、430…I/F制御部、431…AND I/F-1、432…AND I/F-2、



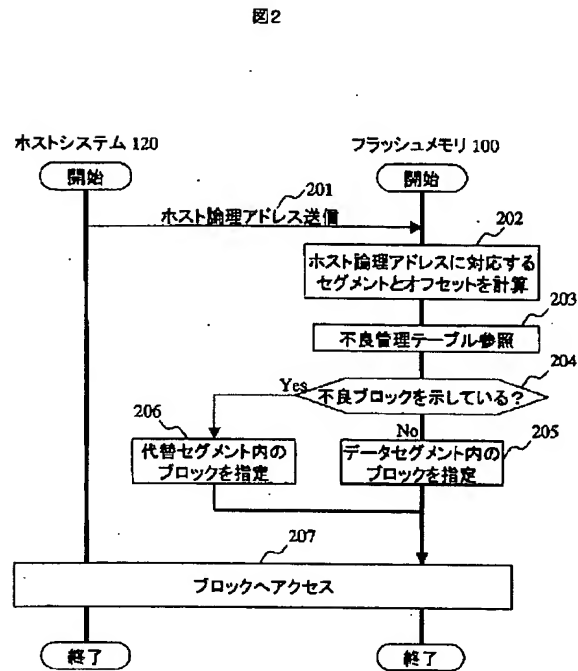
433...AND I/F-3、434...SRAM I/F、434...I/F切替  
信号、440...ホストシステム、441...ホストI/F、  
500...プログラマブルシーケンサ、501...シーケン\*

\*スROM、502...WorkRAM、503...制御レジ  
スタ群、505...I/Fレジスタ、506...ECC、7  
00...管理テーブル構成例

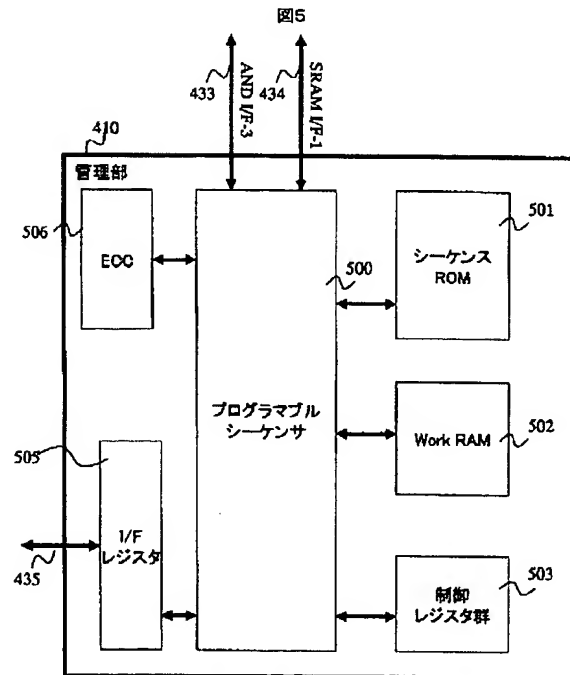
【図1】



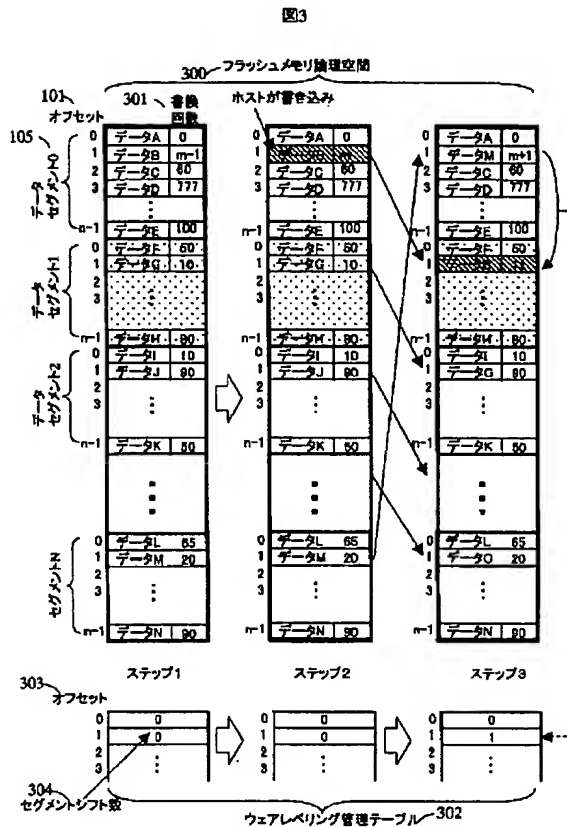
【図2】



【図5】

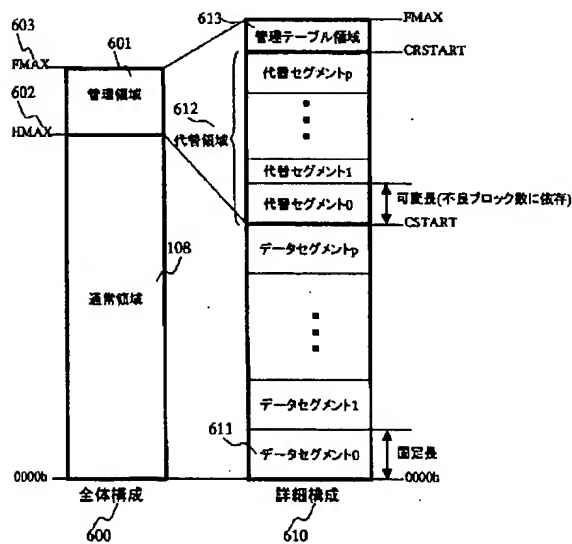


【図3】

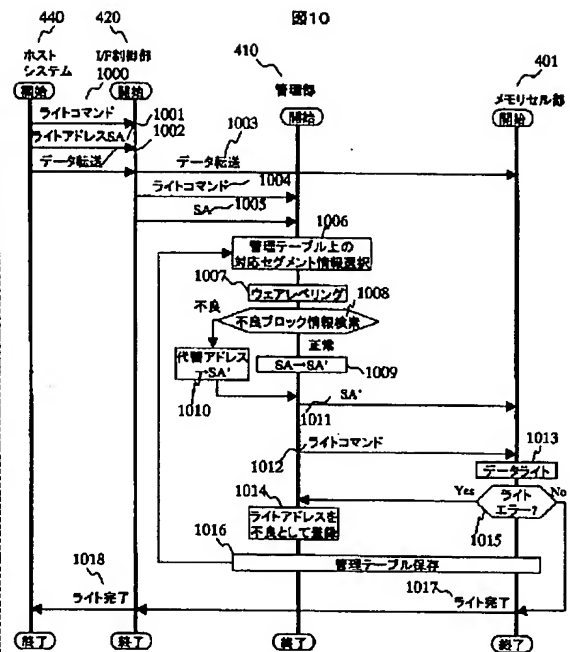


【図6】

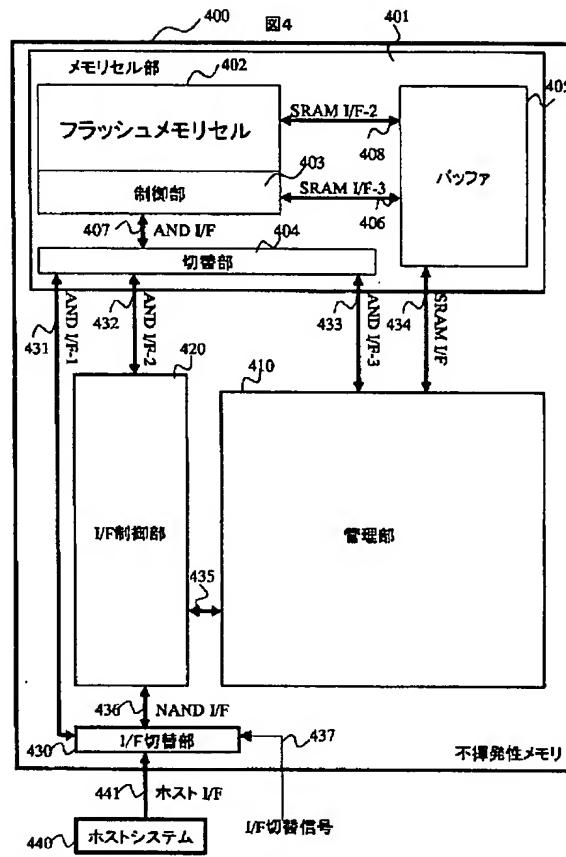
図6



【図10】



【図 4】



【图 8】

圖8

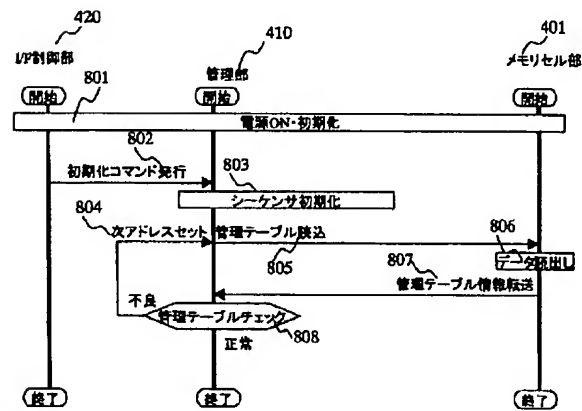
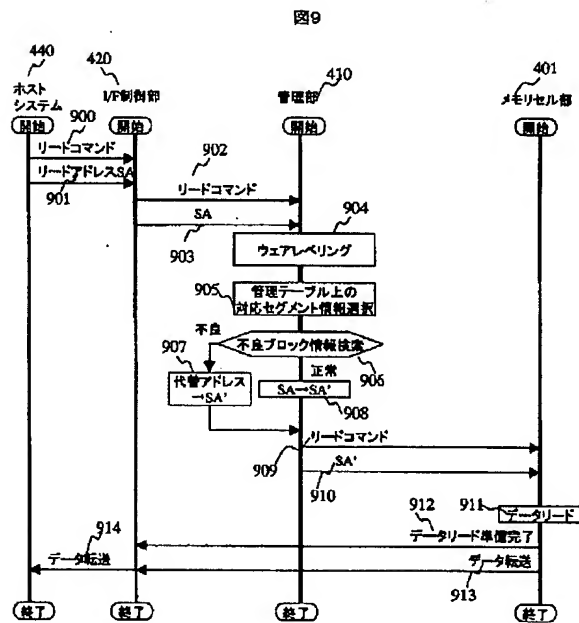


圖7



## フロントページの続き

(72)発明者 中村 剛  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内  
(72)発明者 小堺 健司  
東京都小平市上水本町五丁目20番1号 株  
式会社日立製作所半導体グループ内

(72)発明者 角田 元泰  
神奈川県川崎市麻生区王禅寺1099番地 株  
式会社日立製作所システム開発研究所内  
Fターム(参考) 5B018 GA04 GA06 HA01 HA35 KA01  
KA14 NA06 QA14 QA15 RA03  
5B025 AA01 AD13 AE05 AE08  
5L106 AA10 BB12 CC16 CC32 FF04  
FF05 GG05